



PATENT ABSTRACTS OF JAPAN

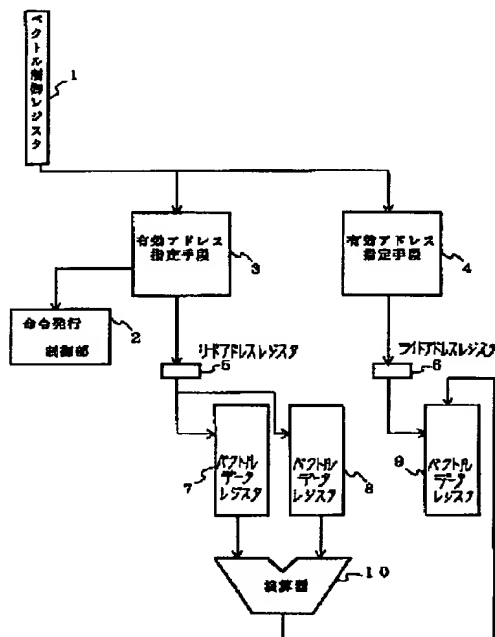
(11) Publication number: **07239844 A**(43) Date of publication of application: **12 . 09 . 95**(51) Int. Cl. **G06F 17/16**(21) Application number: **06028740**(71) Applicant: **KOFU NIPPON DENKI KK**(22) Date of filing: **28 . 02 . 94**(72) Inventor: **SHIJIYOU KAZUE**(54) **VECTOR PROCESSOR**

(57) Abstract:

PURPOSE: To much more accelerate the vector processing by executing a conditional vector arithmetic instruction with a vector length degenerated just to a valid position.

CONSTITUTION: A vector control register 1 holds a mask bit showing validity and invalidity to be used for the conditional vector arithmetic instruction. An instruction issue control part 2 controls the issue of vector arithmetic instruction. When the conditional vector arithmetic instruction is issued from the instruction issue control part 2, valid address designating means 3 and 4 successively investigate valid bit positions where the mask bit is '1' in the vector control register 1 and designate the valid address to respective vector data registers 7, 8 and 9 corresponding to those valid bit positions. The vector data registers 7 and 8 are read by using only the designated valid address, and a computing element 10 alternately calculates those contents and stores the arithmetic result in the vector data register 9 by using only the designated valid address.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 3 9 8 4 4

(43) 公開日 平成 7 年 (1 9 9 5) 9 月 1 2 日

(51) Int. Cl.

G06F 17/16

識別記号

庁内整理番号

F I

技術表示箇所

G06F 15/347

J

D

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平 6 - 2 8 7 4 0

(22) 出願日 平成 6 年 (1 9 9 4) 2 月 2 8 日

(71) 出願人 0 0 0 1 6 8 2 8 5

甲府日本電気株式会社

山梨県甲府市大津町 1 0 8 8 - 3

(72) 発明者 四條 多恵

山梨県甲府市大津町 1 0 8 8 - 3 甲府日

本電気株式会社内

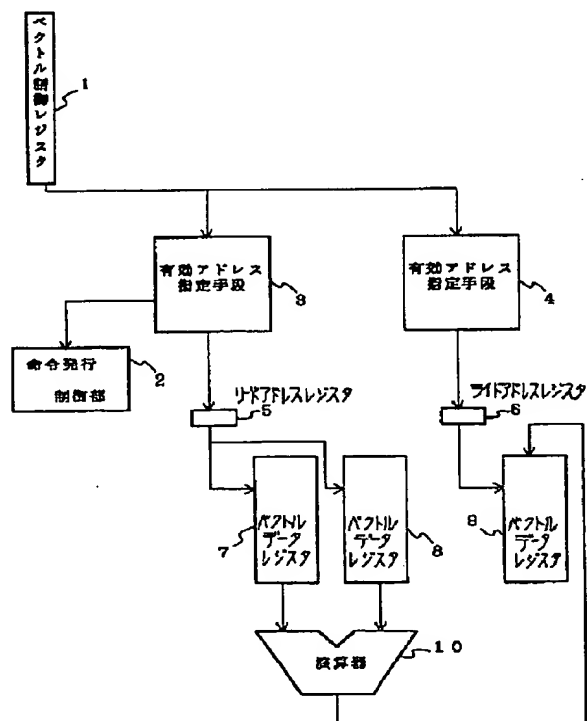
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 ベクトル処理装置

(57) 【要約】

【目的】 有効位置だけに縮退されたベクトル長で条件付きベクトル演算命令を実行することにより、より一層のベクトル処理の高速化を実現する。

【構成】 ベクトル制御レジスタ 1 は、条件付きベクトル演算命令に用いる有効および無効を示すマスクビットを保持する。命令発行制御部 2 は、ベクトル演算命令の発行を制御する。有効アドレス指定手段 3、4 は、命令発行制御部 2 から条件付きベクトル演算命令が発行されたとき、ベクトル制御レジスタ 1 のマスクビットが “1” である有効ビット位置を順次に調査して、その有効ビット位置に対応するベクトルデータレジスタ 7、8、9 の各々に有効アドレスを指定する。指定された有効アドレスだけを使用して、ベクトルデータレジスタ 7、8 が読出され、演算器 10 は、それらの内容を相互に演算して、指定された有効アドレスだけを使用して演算結果をベクトルデータレジスタ 9 に格納する。



【特許請求の範囲】

【請求項 1】 (A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報の N (N は正の整数) 個のマスクビットを保持するベクトル制御レジスタと、 (B) ベクトル演算命令の発行を制御する命令発行制御部と、 (C) それぞれが N 個のアドレスを持つ M

(M は正の整数) 個のベクトルデータレジスタと、

(D) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが “1” である有効ビット位置を順次に調査し、その有効ビット位置に対応する M 個の前記ベクトルデータレジスタの有効アドレスを指定する複数の有効アドレス指定手段と、 (E) 前記有効アドレス指定手段の一つによって順次に指定された有効アドレスだけを使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算して、他の前記有効アドレス指定手段によって順次に指定された有効アドレスだけを使用して演算結果を前記ベクトルデータレジスタに格納する演算手段と、を備えることを特徴とするベクトル処理装置。

【請求項 2】 (A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報の N (N は正の整数) 個のマスクビットを保持するベクトル制御レジスタと、 (B) 演算を行う対象とするベクトル長 L (L は正の整数で $L \leq N$) を保持するベクトル長レジスタと、

(C) ベクトル演算命令の発行を制御する命令発行制御部と、 (D) それぞれが N 個のアドレスを持つ M (M は正の整数) 個のベクトルデータレジスタと、 (E) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが “1” である有効ビット位置を順次に調査して、L 以下の位置にある有効ビット位置に対応する M 個の前記ベクトルデータレジスタの有効アドレスを保持する有効アドレス指定手段と、 (F) 前記ベクトル制御レジスタの L 以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、 (G) 前記有効アドレス指定手段に保持する有効アドレスだけを順次に使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記有効アドレス指定手段に保持する有効アドレスだけを使用して、演算結果を順次に前記ベクトルデータレジスタに格納する演算手段と、を備えることを特徴とするベクトル処理装置。

【請求項 3】 (A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報の N (N は正の整数) 個のマスクビットを保持するベクトル制御レジスタと、 (B) 演算を行う対象とするベクトル長 L (L は正の整数で $L \leq N$) を保持するベクトル長レジスタと、

(C) ベクトル演算命令の発行を制御する命令発行制御部と、 (D) それぞれが N 個のアドレスを持つ M (M は正の整数) 個のベクトルデータレジスタと、 (E) 前記

命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが “1” である有効ビット位置を順次に調査し、L 以下の位置にある有効ビット位置に対して、マスクビットが “1” である最初の有効ビット位置を保持して、以降には保持した有効ビット位置から次の有効ビット位置までの距離を求めた有効ビット間隔を保持する有効アドレス指定手段と、 (F) 前記ベクトル制御レジスタの L 以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、 (G) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受けて、これらを加算して前記ベクトルデータレジスタにリードアドレスを順次に送出するリードアドレスカウンタと、 (H) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受けて、これらを加算して前記ベクトルデータレジスタにライトアドレスを順次に送出するライトアドレスカウンタと、 (I) 前記リードアドレスカウンタから得たリードアドレスを順次に使用して、幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記ライトアドレスカウンタから得たライトアドレスを順次に使用し、演算結果を前記ベクトルデータレジスタの有効アドレスだけに格納する演算手段と、を備えることを特徴とするベクトル処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ベクトル処理装置に関し、特に、情報処理システムのベクトル処理装置に関する。

【0002】

【従来の技術】 従来のベクトル処理装置は、ベクトル演算命令が連続する場合でかつベクトル制御レジスタ中の処理の有効を示すマスクビットの数がベクトル長に占める割合が低い場合（例えば、スパースベクトルのような場合）に、元のベクトルデータを有効位置のみの構成のベクトルデータに縮退させるベクトルコンプレックス命令を実行した後に、短ベクトル長のベクトルデータでベクトル演算命令を実行して、最後に、再びベクトル制御レジスタの内容に従って縮退された各データを縮退前の要素番号の位置に展開するベクトルエキスパンド命令を実行することにより、ベクトル処理の高速化を計っている。

【0003】

【発明が解決しようとする課題】 上述した従来のベクトル処理装置は、元のベクトル長の条件付きベクトル演算命令を実行するよりは、ベクトル処理を高速化することができるとは、元のベクトルデータをベクトルコンプレックス命令で有効データのみに縮退させて、有効データ分のベクトル長でのベクトル演算命令を実行し、最後に、ベクトルエキスパンド命令で再び縮退前の要素番号

の位置に各データを展開しているので、多くの処理時間を必要とするという欠点を有している。

【 0 0 0 4 】

【課題を解決するための手段】第 1 の発明のベクトル処理装置は、(A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報の N (N は正の整数) 個のマスクビットを保持するベクトル制御レジスタと、

(B) ベクトル演算命令の発行を制御する命令発行制御部と、(C) それぞれが N 個のアドレスを持つ M (M は正の整数) 個のベクトルデータレジスタと、(D) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが “1” である有効ビット位置を順次に調査し、その有効ビット位置に対応する M 個の前記ベクトルデータレジスタの有効アドレスを指定する複数の有効アドレス指定手段と、(E) 前記有効アドレス指定手段の一つによって順次に指定された有効アドレスだけを使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算して、他の前記有効アドレス指定手段によって順次に指定された有効アドレスだけを使用して演算結果を前記ベクトルデータレジスタに格納する演算手段と、を備えて構成されている。

【 0 0 0 5 】また、第 2 の発明のベクトル処理装置は、

(A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報の N (N は正の整数) 個のマスクビットを保持するベクトル制御レジスタと、(B) 演算を行う対象とするベクトル長 L (L は正の整数で $L \leq N$) を保持するベクトル長レジスタと、(C) ベクトル演算命令の発行を制御する命令発行制御部と、(D) それぞれが N 個のアドレスを持つ M (M は正の整数) 個のベクトルデータレジスタと、(E) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが “1” である有効ビット位置を順次に調査して、L 以下の位置にある有効ビット位置に対応する M 個の前記ベクトルデータレジスタの有効アドレスを保持する有効アドレス指定手段と、(F) 前記ベクトル制御レジスタの L 以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、(G) 前記有効アドレス指定手段に保持する有効アドレスだけを順次に使用して幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記有効アドレス指定手段に保持する有効アドレスだけを使用して、演算結果を順次に前記ベクトルデータレジスタに格納する演算手段と、を備えて構成されている。

【 0 0 0 6 】さらに、第 3 の発明のベクトル処理装置は、(A) 条件付きベクトル演算命令に使用する有効および無効を示すマスク情報の N (N は正の整数) 個のマスクビットを保持するベクトル制御レジスタと、(B) 演算を行う対象とするベクトル長 L (L は正の整数で L

$\leq N$) を保持するベクトル長レジスタと、(C) ベクトル演算命令の発行を制御する命令発行制御部と、(D) それぞれが N 個のアドレスを持つ M (M は正の整数) 個のベクトルデータレジスタと、(E) 前記命令発行制御部から条件付きベクトル演算命令が発行されたときに、前記ベクトル制御レジスタのマスクビットが “1” である有効ビット位置を順次に調査し、L 以下の位置にある有効ビット位置に対して、マスクビットが “1” である最初の有効ビット位置を保持して、以降には保持した有効ビット位置から次の有効ビット位置までの距離を求めた有効ビット間隔を保持する有効アドレス指定手段と、

(F) 前記ベクトル制御レジスタの L 以下のビット位置にある有効を示すマスクビットの数を計数する有効ビット数カウンタと、(G) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受けて、これらを加算して前記ベクトルデータレジスタにリードアドレスを順次に送出するリードアドレスカウンタと、(H) 前記有効アドレス指定手段に保持する最初の有効ビット位置および以降の有効ビット間隔を順次に受けて、これらを加算して前記ベクトルデータレジスタにライトアドレスを順次に送出するライトアドレスカウンタと、(I) 前記リードアドレスカウンタから得たリードアドレスを順次に使用して、幾つかの前記ベクトルデータレジスタを読み出し、それらの内容を相互に演算し、前記ライトアドレスカウンタから得たライトアドレスを順次に使用し、演算結果を前記ベクトルデータレジスタの有効アドレスだけに格納する演算手段と、を備えて構成されている。

【 0 0 0 7 】

【実施例】続いて、本発明の実施例について、図面を参照して説明する。図 1 は本発明のベクトル処理装置の第 1 の実施例を示すブロック図である。また、図 2 は図 1 のベクトル制御レジスタ 1 の内容および有効アドレス指定手段 3, 4 の内容の一例を示す図である。

【 0 0 0 8 】第 1 の実施例では、図 1 および図 2 に示すベクトル制御レジスタ 1 中のマスクビットが “1” のとき、ベクトルデータレジスタ 7, 8, 9 に対するその位置が有効であることを示すとともに、処理可能な最大ベクトル長が “15” になっている。

【 0 0 0 9 】以下に、条件付きベクトル演算命令が実行された場合の動作を図 1 および図 2 に基いて説明する。

【 0 0 1 0 】まず、命令発行制御部 2 により、条件付きベクトル演算命令が発行されると、有効アドレス指定手段 3 は、ベクトル制御レジスタ 1 中のマスクビットが “1” である有効ビット位置のアドレスを “00” から順次に調査し、1 サイクルごとにリードアドレスレジスタ 5 に送出している。

【 0 0 1 1 】すなわち、図 2 の如く、最初のサイクルではアドレス “00” を送出し、次のサイクルでアドレス “01”, “02” のマスクビットが “0” のためアド

レス“03”を送出する。このようにしてアドレス“00”、“03”、“04”、“05”、“07”、“09”、“10”が1サイクルごとに順次に送出されている。

【0012】そこで、ベクトルデータレジスタ7, 8は、リードアドレスレジスタ5に得たこれらのアドレスに従ってベクトルデータを順次に読出すので、演算器10は、ベクトルデータレジスタ7, 8から読出したデータを順次に入力して演算して、ベクトルデータレジスタ9に対して演算結果のデータを順次に出力している。

【0013】一方、有効アドレス指定手段4は、演算器10の演算処理時間およびベクトルデータレジスタ7, 8と演算器10との間のデータ転送時間並びに演算器10とベクトルデータレジスタ9との間のデータ転送時間などの合計に合わせて、有効アドレス指定手段3からリードアドレスレジスタ5へのアドレスやデータの送出から一定時間後に、有効アドレス指定手段3と同様の動作により、生成した有効アドレスをライトアドレスレジスタ6に対して順次に送出して、ライトアドレスレジスタ6の指示に従って、ベクトルデータレジスタ9内に演算結果のデータを順次に書き込んでいる。

【0014】また、有効アドレス指定手段3は、アドレスの送出を停止したときには、命令発行制御部2に停止の報告信号を送出するので、命令発行制御部2は、後続命令の発行制御に移行している。

【0015】次に、図3は本発明のベクトル処理装置の第2の実施例を示したブロック図である。また、図4は図3のベクトル制御レジスタ11の内容および有効アドレス指定手段13の内容の一例を示す図である。

【0016】第2の実施例では、図3および図4に示すように、ベクトル制御レジスタ11中のマスクビットが“1”のときに、ベクトルデータレジスタ17, 18, 19に対するその位置が有効であることを示すとともに、処理可能な最大ベクトル長は、“15”になっている。

【0017】以下には、ベクトル長レジスタ21に有するベクトル長が“14”で条件付きベクトル演算命令が実行された場合の動作について図3および図4に基いて説明する。

【0018】最初に、有効ビット数カウンタ12は、ベクトル制御レジスタ11中のマスクビットのカウントを行うとともに、有効アドレス指定手段13は、ベクトル制御レジスタ11のマスクビットが“1”になっている有効ビット位置のアドレスを“00”から順次に調査して、その有効アドレスを保持している。

【0019】すなわち、有効アドレス指定手段13は、図4のように、最初に有効アドレス“00”を保持し、次にアドレス“01”、“02”のマスクビットが“0”のため有効アドレス“03”を保持する。このようにして有効アドレス“00”、“03”、“04”、

“05”、“07”、“09”および“10”を保持し、ベクトル長レジスタ21のベクトル長が“14”のために、アドレス“13”のマスクビットが“0”であることを確認してこの動作を停止している。

【0020】また、有効ビット数カウンタ12は、アドレス“14”に有効ビットの“1”があっても、カウントせずに有効ビット数を“7”と判定して、命令発行制御部14に報告するので、以降で、命令発行制御部14は、実行ベクトル長を“7”として動作する。

【0021】そこで、命令発行制御部14により、条件付きベクトル演算命令が発行されると、有効アドレス指定手段13に有する有効アドレスがリードアドレスレジスタ15に送出されるので、ベクトルデータレジスタ17, 18は、リードアドレスレジスタ15からの上記の有効アドレスに従って、ベクトルデータを順次に読出し、演算器20は、ベクトルデータレジスタ17, 18の各々から受けたデータを順次に入力して演算して、演算結果のデータをベクトルデータレジスタ19に出力している。

【0022】また、有効アドレス指定手段13は、演算器20における演算処理時間およびベクトルデータレジスタ17, 18と演算器20との間のデータ転送時間並びに演算器20とベクトルデータレジスタ19との間のデータ転送時間などの合計の時間に合わせて、リードアドレスレジスタ15へのアドレスやデータの送出から一定時間後に、同様の動作により上記の有効アドレスをライトアドレスレジスタ16に対して順次に送出している。

【0023】そこで、ベクトルデータレジスタ19は、ライトアドレスレジスタ16の指示に従って演算結果のデータを有効アドレスだけに順次に格納している。そして、命令発行制御部14は、実行ベクトル長の動作の終了を確認して後続命令の発行制御に移行している。

【0024】なお、第3の実施例のベクトル処理装置は、これ以降にベクトル制御レジスタ11の内容またはベクトル長レジスタ21に有するベクトル長の“14”が変更されない限り、条件付きベクトル演算命令が発行される毎に、有効アドレス指定手段13が保持する上記の有効アドレスをベクトルデータレジスタ17, 18, 19のそれぞれに対するリードアドレスまたはライトアドレスとして以降の動作を行っている。

【0025】次に、図5は本発明のベクトル処理装置の第3の実施例を示したブロック図である。また、図6は図5のベクトル制御レジスタ31の内容および有効アドレス指定手段33の内容の一例を示す図である。

【0026】第3の実施例では、図5および図6に示すように、ベクトル制御レジスタ31中のマスクビットが“1”のときに、ベクトルデータレジスタ39, 40, 41に対するその位置が有効であることを示すとともに、処理可能な最大ベクトル長は、“15”になってい

る。

【 0 0 2 7 】以下には、ベクトル長レジスタ 4 3 に有するベクトル長が“ 1 4 ”で条件付きベクトル演算命令が実行された場合の動作について図 5 および図 6 に基いて説明する。

【 0 0 2 8 】最初に、有効ビット数カウンタ 3 2 は、ベクトル制御レジスタ 3 1 中のマスクビットのカウントを行うとともに、有効アドレス指定手段 3 3 は、ベクトル制御レジスタ 3 1 のアドレスを“ 0 0 ”から順次に調査して、まず、マスクビットが“ 1 ”である最初の有効ビ

ット位置を保持して、以降には、そのときに保持した有効ビット位置から次の有効ビット位置までの距離を調査して有効ビット間隔を保持している。

【 0 0 2 9 】すなわち、図 6 の如く、有効アドレス指定手段 3 3 は、まず、マスクビットが“ 1 ”である最初の有効ビット位置の“ 0 0 ”を保持し、順次に有効ビット位置から次の有効ビット位置までの距離である有効ビット間隔“ 0 3 ”，“ 0 1 ”，“ 0 1 ”，“ 0 2 ”，“ 0 2 ”，“ 0 1 ”を保持している。

【 0 0 3 0 】なお、この場合には、ベクトル長レジスタ 4 3 のベクトル長が“ 1 4 ”のためアドレス“ 1 3 ”までのマスクビットが調査され、アドレス“ 1 4 ”は、“ 1 ”があっても有効ビット位置にならないこととなる。また、有効ビット数カウンタ 3 2 は、有効ビット数を“ 7 ”として命令発行制御部 3 4 に報告するので、以降で、命令発行制御部 3 4 は、実行ベクトル長を“ 7 ”として動作している。

【 0 0 3 1 】そして、命令発行制御部 3 4 により、条件付きベクトル演算命令が発行されると、リードアドレスカウンタ 3 5 は、有効アドレス指定手段 3 3 に保持しているマスクビットの有効ビット間隔を順次に与えられて、これらを加算して、リードアドレスレジスタ 3 7 にリードアドレスを順次に送出している。

【 0 0 3 2 】そこで、ベクトルデータレジスタ 3 9、4 0 は、リードアドレスレジスタ 3 7 から上記のリードアドレスを順次に与えられて、ベクトルデータを順次に読出すので、演算器 4 2 は、ベクトルデータレジスタ 3 9、4 0 から読出したデータを順次に入力して演算し、演算結果のデータをベクトルデータレジスタ 4 1 に出力している。

【 0 0 3 3 】一方、ライトアドレスカウンタ 3 6 は、演算器 4 2 による演算処理時間およびベクトルデータレジスタ 3 9、4 0 と演算器 4 2 との間のデータ転送時間並びに演算器 4 2 とベクトルデータレジスタ 4 1 との間のデータ転送時間などの合計の時間に合わせて、有効アドレス指定手段 3 3 からリードアドレスカウンタ 3 5 への有効ビット間隔の送出から一定時間後に、有効アドレス指定手段 3 3 から同様にマスクビットの有効ビット間隔を順次に与えられて、これらを加算することにより、ライトアドレスレジスタ 3 8 にライトアドレスを順次に送

出している。

【 0 0 3 4 】そこで、ベクトルデータレジスタ 4 1 は、ライトアドレスレジスタ 3 8 からの上記のライトアドレスを順次に与えられ、演算器 4 2 からの演算結果のベクトルデータを有効アドレスだけに順次に格納している。そして、命令発行制御部 3 4 は、実行ベクトル長の動作の終了を確認して続く後続命令の発行制御に移行している。

【 0 0 3 5 】なお、第 3 の実施例のベクトル処理装置は、これ以降にベクトル制御レジスタ 3 1 の内容またはベクトル長レジスタ 4 3 に有するベクトル長の“ 1 4 ”が変更されない限り、条件付きベクトル演算命令が発行される毎に、有効アドレス指定手段 3 3 が保持する上記の有効ビット間隔をリードアドレスレジスタ 3 7 およびライトアドレスレジスタ 3 8 の加算数として使用して、ベクトルデータレジスタ 3 9、4 0、4 1 に対するリードアドレスまたはライトアドレスを算出して以降の動作を行っている。

【 0 0 3 6 】

【発明の効果】以上に説明したように、本発明のベクトル処理装置は、条件付きベクトル演算命令を処理する際には、ベクトル制御レジスタの中で有効を示すマスクビットに対応したベクトルデータレジスタの要素番号のみをリードアドレスおよびライトアドレスとして指定する有効アクセス指定手段を使用することによって、従来のベクトル処理装置で行われて来たベクトルコンプレス命令によるデータの縮退やベクトルエキスパンド命令によるデータの展開を実行せず、縮退されたベクトル長による条件付きベクトル演算命令を実行することが可能になって、より一層のベクトル処理の高速化を実現できるとい

【図面の簡単な説明】

【図 1】本発明のベクトル処理装置の一実施例を示すブロック図である。

【図 2】図 1 のベクトル制御レジスタ 1 の内容と有効アドレス指定手段 3、4 の内容との一例を示す図である。

【図 3】本発明のベクトル処理装置の第 2 の実施例を示したブロック図である。

【図 4】図 3 のベクトル制御レジスタ 1 1 の内容と有効アドレス指定手段 1 3 の内容との一例を示す図である。

【図 5】本発明のベクトル処理装置の第 3 の実施例を示したブロック図である。

【図 6】図 5 のベクトル制御レジスタ 3 1 の内容と有効アドレス指定手段 3 3 の内容との一例を示す図である。

【符号の説明】

1、1 1、3 1	ベクトル制御レジスタ
2、1 4、3 4	命令発行制御部
3、4、1 3、3 3	有効アドレス指定手段
5、1 5、3 7	リードアドレスレジスタ
6、1 6、3 8	ライトアドレスレジスタ

9

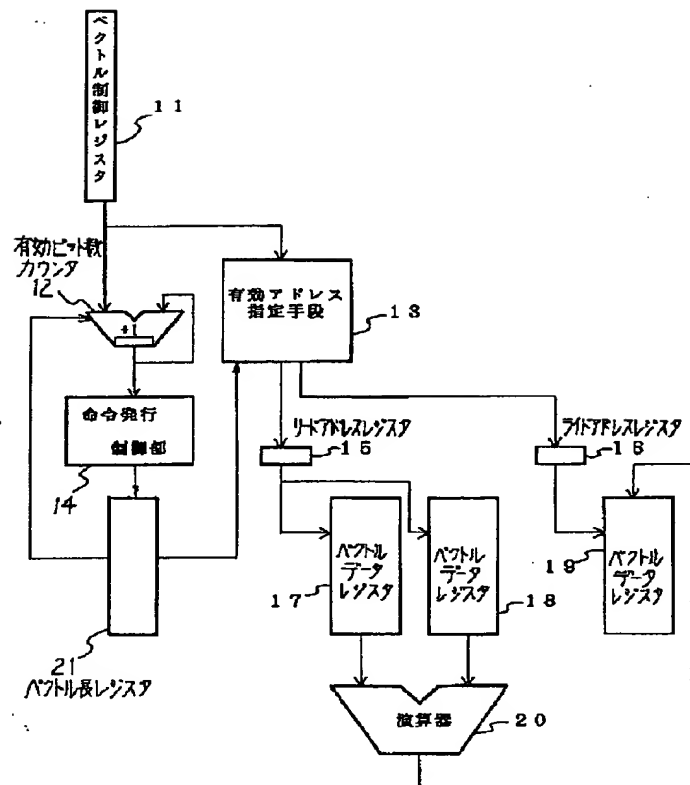
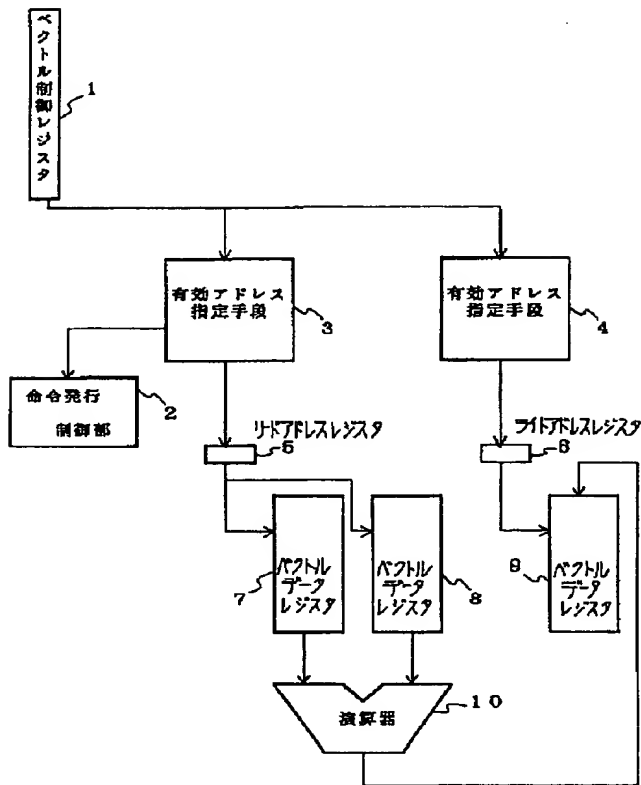
10

7, 8, 9, 17, 18, 19, 39, 40, 41
ベクトルデータレジスタ
10, 20, 42 演算器
12, 32 有効ビット数カウンタ

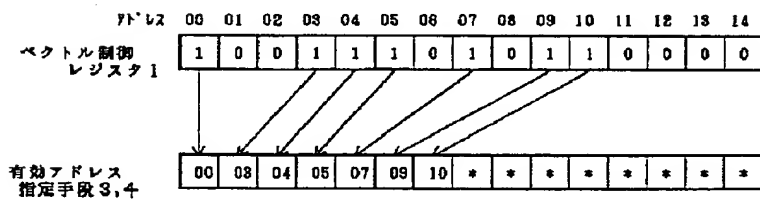
21, 43 ベクトル長レジスタ
35 リードアドレスカウンタ
36 ライトアドレスカウンタ

【図 1】

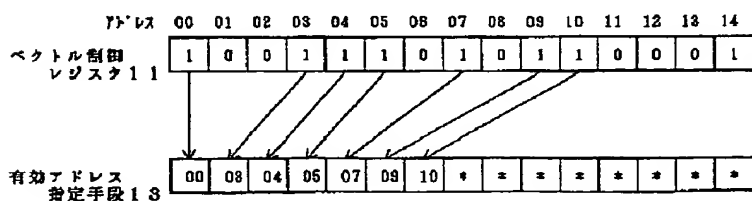
【図 3】



【図 2】

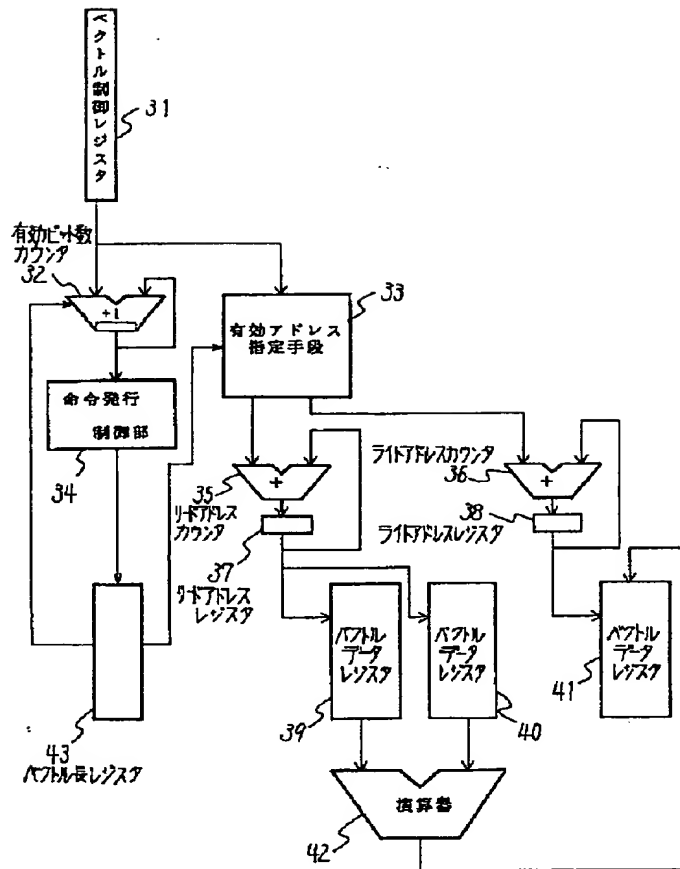


【図 4】

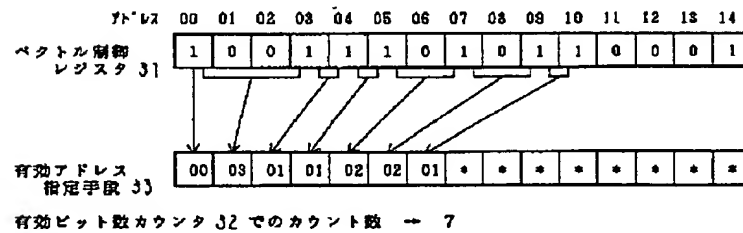


有効ビット数カウンタ 12 でのカウント数 → 7

【図 5】



【図 6】





THIS PAGE BLANK (USPTO)